

⑫ 公開特許公報(A) 平4-37070

⑬ Int. Cl.⁵

H 01 L 29/94
27/04
29/784

識別記号

C
C

庁内整理番号

7638-4M
7514-4M

⑭ 公開 平成4年(1992)2月7日

8422-4M H 01 L 29/78 3 0 1 K

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-143351

⑰ 出 願 平2(1990)5月31日

⑱ 発 明 者 大 岡 幸 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社

内

⑲ 出 願 人 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号

⑳ 代 理 人 弁理士 江 原 省 吾

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 一導電型半導体基板に他導電型不純物を拡散してその表面にソース電極を設けると共に、上記他導電型不純物領域に挟まれた半導体基板の露呈する領域表面にゲート酸化膜を介してゲート電極を設け、上記半導体基板のゲート電極と対向する領域裏面にドレイン電極を設けたMOSトランジスタを、ドレイン・ソース電極間での逆バイアス電圧印加に基づく空乏層の拡がり状態によりドレイン・ゲート電極間で変化する容量を持つ可変容量ダイオードとしたことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、詳しくはMOSトランジスタを可変容量ダイオードとした半導体装置に関する。

(従来の技術)

従来、テレビジョン用電子チューナなどに広く使用されている可変容量ダイオードは、第4図に示すPN接合構造のものが一般的である。この可変容量ダイオードは、高濃度のN⁺型サブストレータ(1)上に低濃度のN⁻型エピタキシャル成長層(2)を積層形成したシリコン等の半導体基板(3)にボロン等の低濃度のP⁻型不純物を拡散して不純物領域(4)を形成し、この半導体基板(3)の不純物領域(4)の表面にカソード電極(5)を被着形成すると共に、上記半導体基板(3)のカソード電極(5)と対向する裏面にアノード電極(6)を被着形成したものである。

上記可変容量ダイオードでは、アノード電極(6)とカソード電極(5)間に逆バイアス電圧を印加することにより、エピタキシャル成長層(2)と不純物領域(4)間のPN接合面に空乏層(7)が形成される。この空乏層(7)は絶縁領域であり、この厚みがコンデンサの誘電体の厚みに相当するものとなる。上記アノード電極(6)

とカソード電極 (5) 間に印加される逆バイアス電圧を増減させることにより上記空乏層 (7) の厚みが増減し、これに追従して容量が変化する。

〔発明が解決しようとする課題〕

ところで、上述した従来の可変容量ダイオードでは、アノード電極 (6) とカソード電極 (5) 間に印加される逆バイアス電圧の変化に追従して、空乏層 (7) の厚みが線形にしか増減しないので、逆バイアス電圧の変化に対して容量がリニアに変化する。即ち、上記逆バイアス電圧の変化に対して容量の変化率が比較的小さい。そのため、所望の容量の可変範囲を得ようとする、逆バイアス電圧の調整範囲も広くせざるを得ないという問題があった。

そこで、本発明は上記問題点に鑑みて提案されたもので、その目的とするところは逆バイアス電圧の変化に対する容量の変化率を大きくし得る半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明における上記目的を達成するための技術

的手段は、一導電型半導体基板に他導電型不純物を拡散してその表面にソース電極を設けると共に、上記他導電型不純物領域で挟まれた半導体基板の露呈する領域表面にゲート酸化膜を介してゲート電極を設け、上記半導体基板のゲート電極と対向する領域表面にドレイン電極を設けた MOS トランジスタを、ドレイン・ソース電極間での逆バイアス電圧印加に基づく空乏層の拡がり状態によりドレイン・ゲート電極間で変化する容量を持つ可変容量ダイオードとしたことである。

〔作用〕

本発明に係る半導体装置では、MOS トランジスタのドレイン、ソース電極を夫々アノード、カソード電極とした可変容量ダイオードを構成し、アノード・カソード電極間に逆バイアス電圧を印加することにより PN 接合面に空乏層が形成され、上記逆バイアス電圧の増減により空乏層の拡がり状態が変化し、これに基づいてアノード・ゲート電極間で容量が変化する。この時、アノード・ゲート電極間での半導体基板中で空乏層の拡がり

が急激に変化する状態があり、その結果、逆バイアス電圧の小さな変化に対して容量の大きな変化率を得ることができる。

〔実施例〕

本発明に係る半導体装置の一実施例を第 1 図乃至第 3 図を参照しながら説明する。

第 1 図及び第 2 図に示す半導体装置において、(11) はシリコン等からなる N 型半導体基板で、高濃度の N⁺ 型サブストレーツ (12) 上に低濃度の N⁻ 型エピタキシャル成長層 (13) を積層形成したものである。(14) は上記半導体基板 (11) のエピタキシャル成長層 (13) に低濃度のボロン等の P⁻ 型不純物を拡散して形成された P⁻ 型不純物領域で、この不純物領域 (14) 内に高濃度の P 型不純物を拡散して P⁺ 型電極引出し層 (15) を形成する。(16) は上記電極引出し層 (15) 上に被着形成した Al などのソース電極で、可変容量ダイオードでのカソード電極となる。(17) は上記不純物領域 (14) で挟まれた半導体基板 (11) のエピタキシャル成長層 (13) が露呈する領域表

面に SiO₂ 等のゲート酸化膜 (18) を介して被着形成した Al 等のゲート電極、(19) は半導体基板 (11) の上記ゲート電極 (17) と対向する領域表面に被着形成されたドレイン電極で、可変容量ダイオードでのアノード電極となる。尚、以下の説明では上述したソース、ドレイン電極 (16) (19) をカソード、アノード電極と称する。

本発明の特徴は、上述した構造の MOS トランジスタを、アノード・カソード電極 (19) (16) 間での逆バイアス電圧印加に基づく空乏層 (後述) の拡がり状態によりアノード・ゲート電極 (19) (17) で変化する容量を持つ可変容量ダイオードとしたことにある。

具体的に説明すると、上記アノード電極 (19) とカソード電極 (16) との間に逆バイアス電圧を印加することにより、半導体基板 (11) 中でエピタキシャル成長層 (13) と不純物領域 (14) 間の PN 接合面に空乏層 (20) が形成される。この空乏層 (20) は絶縁領域であり、アノード電極 (19) とゲート電極 (17) 間での上記空乏層 (20) の厚

みがコンデンサの誘電体の厚みに相当するものになり容量が形成される。アノード電極 (19) とカソード電極 (16) 間に印加される逆バイアス電圧を増加させるにつれて、空乏層 (20) はPN接合面から不純物領域 (14) で囲まれた領域の外側へ向けてエピタキシャル成長層 (13) で図中破線 a から b へと広がっていく。そして、上記逆バイアス電圧が所定値に達した時点以降、内側へ向けて広がる空乏層 (20) は図中破線 c のようにつながった状態となり、この時、第 3 図に示すようにアノード電極 (19) とゲート電極 (17) 間での容量が急激に変化して減少する。このように逆バイアス電圧の小さな変化 ΔV に対して上記容量の変化 ΔC が大きくとれる。上述のように大きな容量変化率が得られるので、小さい逆バイアス電圧の調整範囲でもって広範囲に亘る容量設定が容易となり、テレビジョン用電子チューナや共振型スイッチング電源などに使用する場合に好適である。

尚、上記半導体装置は MOS トランジスタを可変容量ダイオードとした構造を有し、通常の MO

S トランジスタ構造ではドレイン・ゲート電極間のゲート容量 C_{dg} とソース・ゲート電極間のゲート容量 C_{gs} とを有するのに対し、本発明の半導体装置では、ゲート電極 (17) 及びゲート酸化膜 (18) を不純物領域 (14) で囲まれた半導体基板 (11) のエピタキシャル成長層 (13) が露呈する領域表面にのみ被着形成したから、上述したソース・ゲート電極間のゲート容量 C_{gs} を無視できる程度に可及的に小さくし、アノード・ゲート電極 (19) (17) 間の容量のみとしている。

(発明の効果)

本発明に係る半導体装置によれば、MOS トランジスタを可変容量ダイオードとしたことにより、逆バイアス電圧の変化に対する容量の変化率を大きくとれるので、小さい逆バイアス電圧の調整範囲でもって広範囲に亘る容量設定が容易となり、汎用性に優れた実用的価値大なる半導体装置を提供できる。

4. 図面の簡単な説明

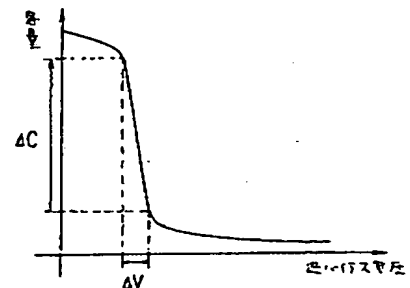
第 1 図は本発明に係る半導体装置の一実施例を

示す概略断面図、第 2 図は第 1 図の縮小平面図、第 3 図は逆バイアス電圧に対する容量の特性図である。

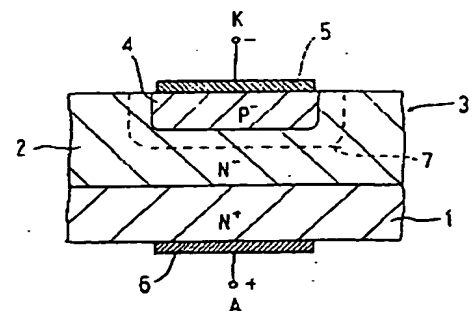
第 4 図は可変容量ダイオードの従来例を示す概略断面図である。

- (11) -----導電型半導体基板、
- (14) -----他導電型不純物領域、
- (16) -----ソース電極、 (17) -----ゲート電極、
- (18) -----ゲート酸化膜、 (19) -----ドレイン電極、
- (20) -----空乏層。

第 3 図

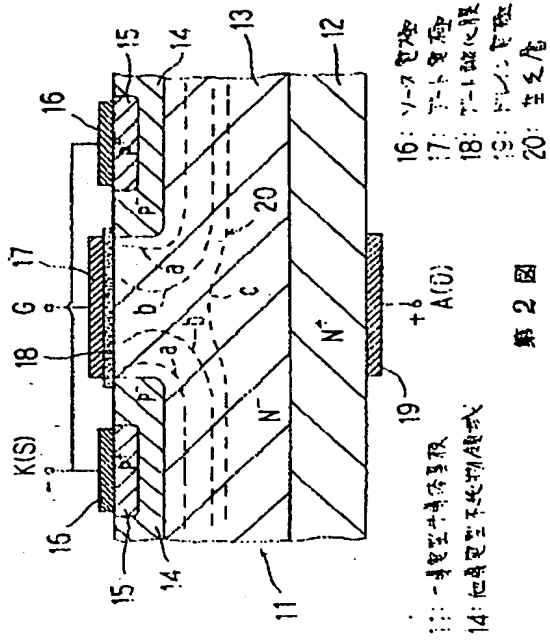


第 4 図



特 許 出 願 人 関西日本電気株式会社
代 理 人 江 原 省 吾

第 1 図



第 2 図

